

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

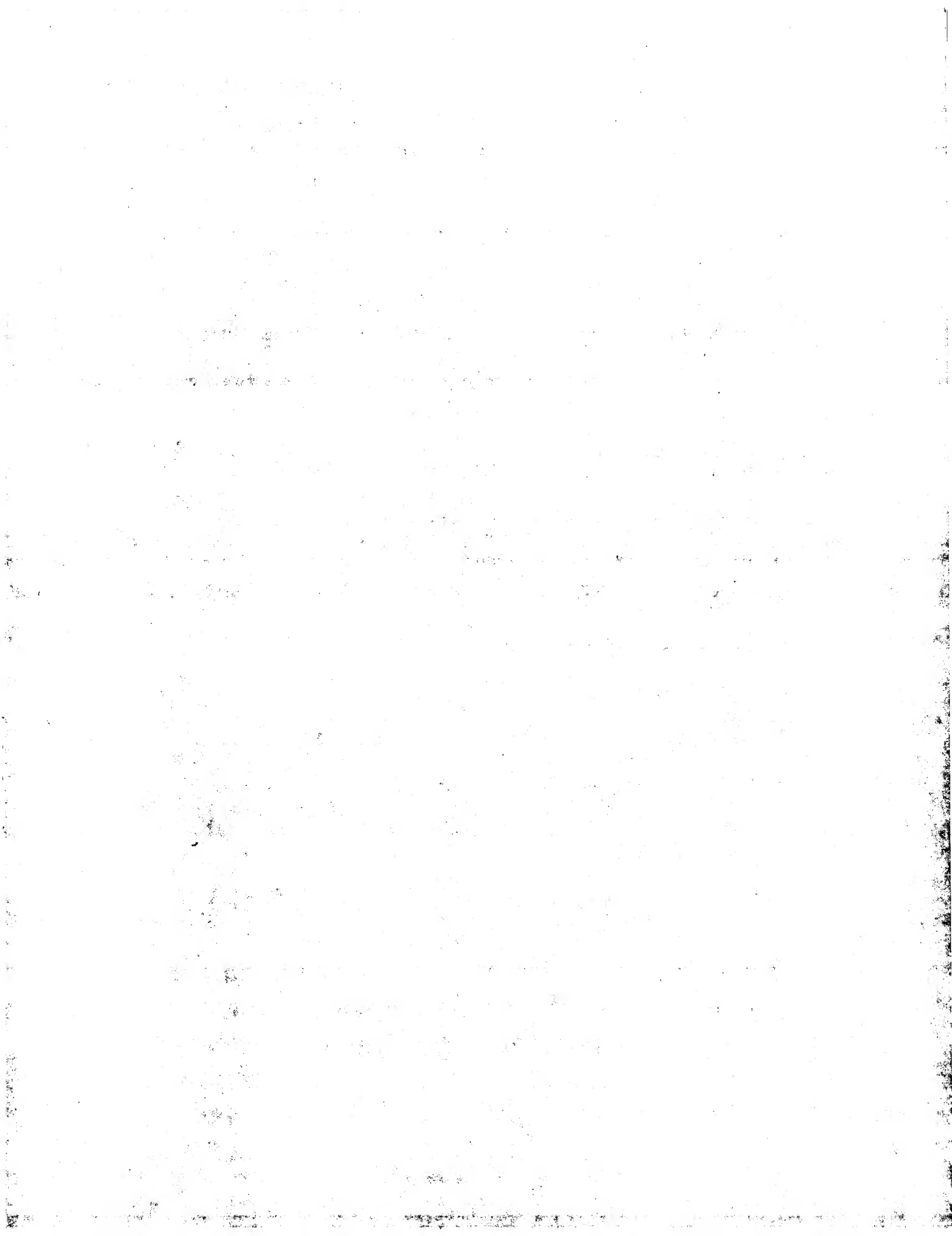
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**





## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000114197 A**(43) Date of publication of application: **21.04.00**

(51) Int. Cl. **H01L 21/265**  
**H01L 21/8238**  
**H01L 27/092**

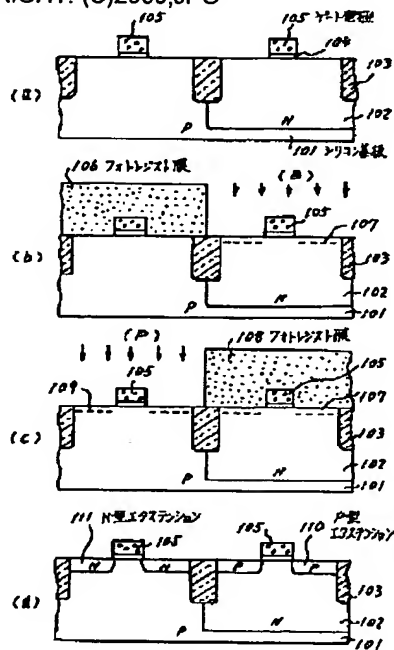
(21) Application number: **10278928**(71) Applicant: **NEC CORP**(22) Date of filing: **30.09.98**(72) Inventor: **SHISHIGUCHI SEIICHI****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To form an N-type diffusion layer and a P-type diffusion layer at the same time, in which junction is shallow and resistance is low through annealing treatment, by rapidly increasing a temperature up to a temperature where enhanced diffusion due to point defect is generated, in an oxygen added atmosphere, and containing a process restraining the generation of enhanced diffusion due to oxidation.

**SOLUTION:** A silicon substrate 101, is subjected to rapid thermal anneal(RTA) treatment boron ions and phosphorus ions in the respective implantation layers 107, 109 are activated, and a P-type extension 110 and an N-type extension 111 are formed. In the RTA treatment at this time, the temperature is rapidly increased up to a temperature where enhanced diffusion due to point defect is generated, in an oxygen-added atmosphere. After that, a process for restraining the generation of enhanced diffusion due to oxidation is added. As a result, a P-type diffused layer and an N-type

diffused layer are formed with the respective shallow junctions and low resistances irrespective of the difference of behaviors of P-type impurities and N-type impurities at annealing.

COPYRIGHT: (C)2000,JPO





(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-114197

(P2000-114197A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーム(参考)
H 0 1 L 21/265		H 0 1 L 21/265	6 0 2 B 5 F 0 4 8
21/8238		27/08	3 2 1 B
27/092			

審査請求 有 請求項の数 6 O L (全 9 頁)

(21)出願番号 特願平10-278928

(22)出願日 平成10年9月30日(1998.9.30)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 獅子口 清一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100081433

弁理士 鈴木 章夫

Fターム(参考) 5F048 AA07 AC03 BA01 BB06 BB07

BB08 BC06 BE01 BF16 BG12

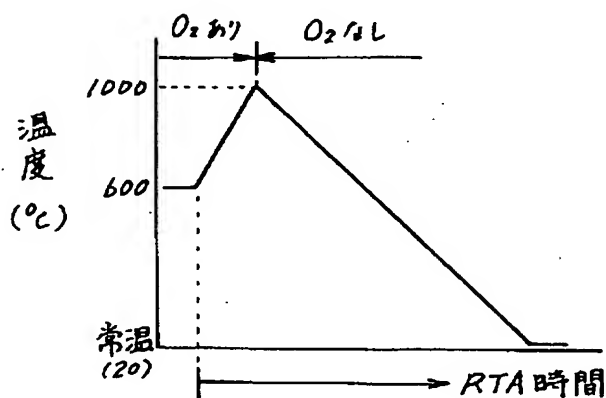
BG14 DA25 DB06

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 浅い接合でかつ低抵抗のN型拡散層とP型拡散層を同時のアニール処理によって形成することを可能にした半導体装置の製造方法を提供する。

【解決手段】 半導体基板にイオン注入したP型不純物とN型不純物を活性化するアニール処理として、酸素添加雰囲気において、イオン注入により前記半導体基板に発生する点欠陥が要因とされる増速拡散(TED)が生じる温度まで急速昇温し、かつその後半導体基板の酸化が要因とされる増速拡散(OED)の発生を抑制する工程を含む。酸素添加雰囲気での急速昇温により半導体基板の表面に形成される酸化膜によってN型不純物の外方拡散を抑制し、かつまたOEDを抑制することによってイオン注入されたP型不純物の内方拡散を抑制する。これにより、P型拡散層及びN型拡散層を同時に浅い接合でかつ低抵抗に形成することが可能となる。



**【特許請求の範囲】**

**【請求項1】** 半導体基板にP型不純物とN型不純物をそれぞれイオン注入し、その後に前記各注入された不純物を活性化するアニール処理を行う工程を含む半導体装置の製造方法において、前記アニール処理は、酸素添加雰囲気において、前記イオン注入により前記半導体基板に発生する点欠陥が要因とされる増速拡散（TED）が生じる温度まで急速昇温し、かつその後に前記半導体基板の酸化が要因とされる増速拡散（OED）の発生を抑制する工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

**【請求項2】** 前記酸素添加雰囲気での急速昇温により前記半導体基板の表面に形成される酸化膜によって前記イオン注入されたN型不純物の外方拡散を抑制し、前記増速拡散（OED）を抑制することによって前記イオン注入されたP型不純物の内方拡散を抑制することを特徴とする請求項1に記載の半導体装置の製造方法。

**【請求項3】** 前記急速昇温は900℃～1100℃まで昇温し、900℃～1100℃に達するまでに酸素を添加する雰囲気とし、少なくとも前記温度に達してから酸素を添加しない雰囲気とし、かつ降温処理することを特徴とする請求項1または2に記載の半導体装置の製造方法。

**【請求項4】** 前記急速昇温は900℃～1100℃まで昇温し、酸素添加雰囲気において1秒以内で前記900℃～1100℃を保持し、さらに酸素を添加しない雰囲気中で1000℃を所要時間だけ保持することを特徴とする請求項1または2に記載の半導体装置の製造方法。

**【請求項5】** 前記急速昇温は900℃～1100℃まで昇温し、酸素添加雰囲気において1秒以内で前記900℃～1100℃を保持し、その後酸素添加雰囲気のまま800℃での熱処理を行うことを特徴とする請求項1または2に記載の半導体装置の製造方法。

**【請求項6】** 半導体基板に区画形成されたPMOS形成領域とNMOS形成領域のそれぞれにゲート電極を形成する工程と、前記PMOS形成領域に選択的にP型不純物をイオン注入する工程と、前記NMOS形成領域に選択的にN型不純物をイオン注入する工程と、前記P型不純物とN型不純物を活性化する第1のアニール処理を行ってそれぞれのエクステンションを形成する工程と、前記各MOS形成領域のゲート電極の側面にサイドウォールを形成する工程と、前記PMOS形成領域に選択的に高濃度のP型不純物をイオン注入する工程と、前記NMOS形成領域に選択的に高濃度のN型不純物をイオン注入する工程と、前記P型不純物とN型不純物を活性化する第2のアニール処理を行って高濃度のソース・ドレイン領域を形成する工程とを含み、前記第1のアニール処理は、酸素添加雰囲気において、前記P型及びN型の各不純物のイオン注入により前記半導体基板に発生する点欠陥が要因とされる増速拡散（TED）が生じる温度

まで急速昇温し、かつその後は前記半導体基板が酸化することが要因とされる増速拡散（OED）の発生を抑制する工程を含むことを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は浅い接合でかつ低抵抗のP型拡散層とN型拡散層を有する半導体装置に関し、特に浅い接合でかつ低抵抗のエクステンションを有するPチャネルMOSトランジスタとNチャネルMOSトランジスタを備える半導体装置の製造方法に関する。

**【0002】**

**【従来の技術】** 近年における半導体装置の高密度化に伴いMOSトランジスタが微細化され、そのソース・ドレイン領域の接合を浅くすることが要求される。特に、ソース・ドレインを低濃度領域（LDD）領域と、高濃度領域とで構成してLDD構造のMOSトランジスタでは、従来ではLDD領域はホットキャリアによる耐圧低下に対処するために低濃度に形成していたが、近年の半導体装置での電源電圧の低下に伴ってその目的は薄れ、むしろLDD領域の不純物濃度を高めてトランジスタの低抵抗化を図り、動作の高速化を図ることが行われている。このため、このような不純物濃度が高められたLDD相当領域をエクステンション領域と称している。したがって、半導体装置の微細化に伴い、高濃度でかつ浅い接合のエクステンション領域を形成する要求が高められている。

**【0003】** このようなエクステンション領域を備えるPチャネルMOSトランジスタとNチャネルMOSトランジスタを1つの半導体基板に一体に形成するCMOS構造の半導体装置では、これまでのLDD領域を備えるMOSトランジスタで構成されるCMOS構造の製造方法をそのまま適用すると、PチャネルMOSトランジスタとNチャネルMOSトランジスタのいずれか一方で目的とするエクステンション領域、すなわち接合が浅い一方で不純物濃度が高い低抵抗のエクステンション領域を形成することが難しくなる。

**【0004】** このことを、後述する本発明の実施形態で参照する工程図の図2、図3を援用して説明する。同図はそれぞれエクステンションを有するPMOSトランジスタとNMOSトランジスタを有するCMOS構造の半導体装置の製造工程の一部を説明する図である。まず、図2（a）のように、P型シリコン基板101の一部領域にNウェル102を形成する。そして、前記シリコン基板101の表面に素子分離絶縁膜103を形成して素子領域を区画形成した後、各素子領域にゲート絶縁膜104とゲート電極105をそれぞれ形成する。そして、図2（b）のように、フォトリソ膜106でPMOS領域を覆った上で、前記Nウェル102の領域に対してボロンをイオン注入し、ボロン注入層107を形成す

る。次いで、今度は図2(c)のように、前記NMOS領域を覆うように別のフォトリソ膜108を形成し、リンをイオン注入してリン注入層109を形成する。しかる後、図2(d)のように、アニール処理を行ってイオン注入した各不純物を活性化し、それぞれP型、N型のエクステンション110、111を形成する。さらに、その後の詳細な工程の説明は省略するが、前記ゲート電極105の側面に公知の技法でサイドウォール112を形成した後、前記各エクステンション110、111を形成した手法とほぼ同様にフォトリソ膜をマスクにしてNMOS領域に砒素を、PMOSにボロンをそれぞれ前記エクステンション110、111よりも高濃度にイオン注入し、かつアニールにより活性化することで、図3(d)のようにP型及びN型の各高濃度ソース・ドレイン領域117、118を形成する。

【0005】この製造方法では、P型エクステンション110とN型エクステンション111を同時にアニール処理により活性化して形成しているが、N型不純物である砒素又はリンと、P型不純物であるボロンとでは活性化時の熱による挙動が異なるため、次のような問題が生じる。すなわちN型不純物は、熱処理時にシリコン基板の表面から容易に蒸発する。このため、シリコン基板のシリコン結晶中に注入された不純物の濃度が低下され、形成されるエクステンションが低濃度化され、その抵抗が増大してしまうことになる。これを避けるためには、アニール前にシリコン基板の表面にカバー酸化膜を形成するか、若しくは数百から数千ppmの微量酸素添加雰囲気アニールすることにより、アニールの進行に伴ってシリコン基板の表面にカバー酸化膜を成長し、N型不純物の蒸発を抑制する方法が検討されている。

【0006】図11は前記事項を説明するための図であり、N型不純物のリンをシリコン基板にイオン注入し、カバー酸化膜が存在して酸素添加がない雰囲気の場合(a1)、カバー酸化膜が存在せずに酸素添加がある雰囲気の場合(a2)、カバー酸化膜が存在せずに酸素添加がない雰囲気の場合(a3)のそれぞれについてRTA(急速昇温アニール: Rapid Thermal Anneal)処理を行った場合の不純物のプロファイルを示している。また、図12はその際における注入ドーズ量とシート抵抗との関係を示している、これらの結果から、カバー酸化膜が存在せず、しかも酸素が添加されていない雰囲気でのRTA処理では、リンの濃度が低く、低抵抗化を実現することが難しいことが分かる。

【0007】一方、P型不純物は、熱処理時にシリコン基板の表面等に存在するシリコン酸化膜中に取り込まれ易いので、前記したようなカバー酸化膜が存在しているとP型不純物はそのカバー酸化膜に取り込まれてしまい、これによりシリコン結晶中の不純物の濃度が低下され、形成されるP型のエクステンション領域が低濃度化され、その抵抗が増大してしまうことになる。また、微

量であっても数百ppm以上の酸素添加雰囲気では、酸化によって供給される格子間シリコンによるボロンの増速拡散(OED: Oxidation Enhanced Diffusion)が顕著になり、P型不純物がN型ウェルの底方向に拡散され、拡散層深さが深くなり、浅い接合を得ることができなくなる。これを避けるために、シリコン基板の表面にカバー酸化膜が存在しない状態で、しかも酸素が存在しない雰囲気でのアニールをすることで、前記した抵抗が増大することと接合が深くなることを抑制する方法が検討されている。

【0008】図13はこのことを示す図であり、P型不純物のボロンをシリコン基板にイオン注入し、カバー酸化膜が存在して酸素添加がない雰囲気の場合(b1)、カバー酸化膜が存在せずに酸素添加がある雰囲気の場合(b2)、カバー酸化膜が存在せずに酸素添加がない雰囲気の場合(b3)のそれぞれについてRTAを行った場合の不純物のプロファイルを示している。これから、各条件のいずれにおいても比較的に高濃度が得られ、低抵抗化を達成することは可能であるが、カバー酸化膜が存在する条件(b2)、あるいは酸素が添加された雰囲気中でカバー酸化膜が成長される条件(b3)でのRTA処理では、ボロンの接合深さが深くなることが分かる。

【0009】このように、P型不純物とN型不純物をそれぞれ単独に用いてP型エクステンション又はN型エクステンションを形成する場合には、それぞれ前記したような方法を採用することができるが、P型不純物とN型不純物の挙動が全く正反対であるため、それぞれにおいて浅くかつ濃度の高い領域を形成するのに最適なアニール条件が異なるため、前記した従来のCMOS構造の製造方法をそのまま用いてP型とN型の両エクステンションを浅い接合でかつ高い濃度で形成することは困難であり、要求されるようなCMOS構造を製造することができないという問題が生じている。

【0010】本発明の目的は、浅い接合でかつ低抵抗のN型拡散層とP型拡散層を同時のアニール処理によって形成することを可能にした半導体装置の製造方法を提供するものである。また、本発明の目的は、浅い接合でかつ低抵抗のN型エクステンションを有するNチャネルMOSトランジスタと、浅い接合でかつ低抵抗のP型エクステンションを有するCMOS構造の半導体装置を製造することを可能にした半導体装置の製造方法を提供するものである。

#### 【0011】

【課題を解決するための手段】本発明は、半導体基板にイオン注入したP型不純物とN型不純物を活性化するアニール処理として、酸素添加雰囲気において、TEDが生じる温度まで急速昇温し、かつその後にOEDの発生を抑制する工程を含むことを特徴とする。すなわち、本発明は、前記酸素添加雰囲気での急速昇温により前記半導体基板の表面に形成される酸化膜によってN型不純物

の外方拡散を抑制し、かつまたOEDを抑制することによって前記イオン注入されたP型不純物の内方拡散を抑制することを特徴とする。例えば、本発明はPMOSトランジスタとNMOSトランジスタを有するCMOS構造の半導体装置において、前記各トランジスタにおける浅くかつ低抵抗のエクステンションを製造する際に適用される。

【0012】本発明の代表的なアニール処理として、第1は、急速昇温は900℃～1100℃まで昇温し、900℃～1100℃に達すると同時に酸素を添加しない雰囲気とし、かつ降温処理することを特徴とする。第2は、急速昇温は900℃～1100℃まで昇温し、酸素添加雰囲気において1秒以内で前記900℃～1100℃を保持し、さらに酸素を添加しない雰囲気で900℃～1100℃を所要時間だけ保持することを特徴とする。第3は、急速昇温は900℃～1100℃まで昇温し、酸素添加雰囲気において1秒以内で前記900℃～1100℃を保持し、その後酸素添加雰囲気のまま800℃での熱処理を行うことを特徴とする。

【0013】以上の特徴を備える本発明の作用について説明する。従来からイオン注入により不純物の拡散層を形成する場合に、イオン注入で導入された半導体基板中の点欠陥によるTED (Transient Enhanced Diffusion) と呼ばれる過渡増速拡散現象が生じることが知られている。そこで、このTEDを前記した半導体基板の酸化によって供給される格子間シリコンによるP型不純物の増速拡散であるOEDと比較すると、図1に示すように、前記TEDは比較的に低温から発生し、1000℃程度の高温度でその発生がピークとなり、かつその高温度に達した時点で急速に消滅する。一方、前記OEDはTEDと比較するとその発生量は少ないが、1000℃温度近傍の高温度に達すると発生し、この温度状態が保持される間は継続して生じている。

【0014】したがって、これらの現象を鑑みると、仮に、RTA (急速加熱アニール) を酸素が存在しない雰囲気で行った場合でもTEDによる増速拡散を抑制することはできないが、短時間RTA処理であれば、元々TEDによる増速拡散が生じているので、酸素添加による増速拡散の効果を少なくでき、特にこの短時間のRTA処理を高温、例えば1000℃以上の高温で熱処理すれば、殆どTEDによる拡散のみを生じさせることが可能となる。したがって、酸素添加雰囲気中でも、極短時間のRTAを行うことにより、N型不純物については、カバー酸化膜の成長による外方拡散の防止と、TEDのみによる拡散によって浅く、高濃度のN型拡散層が形成できる。また、P型不純物については、酸素添加雰囲気であってもカバー酸化膜による吸収を最小限に抑制する一方でOEDを実質的に抑制でき、通常の数秒アニールと比較して高濃度で浅いP拡散層を得ることが可能となる。

#### 【0015】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図2は本発明をCMOS構造の半導体装置、特にエクステンションを備えるNチャネルMOSトランジスタとCMOSトランジスタを同一基板上に構築したCMOS半導体装置の製造に適用した実施形態を工程順に示す断面図である。先ず、図2(a)のように、P型シリコン基板101の所要領域に周知の手法によってNウェル102を形成した後、前記シリコン基板101の表面を選択酸化してLOCOS構造あるは溝構造の素子分離用絶縁膜103を形成し、前記Nウェル101内のPMOS領域と前記P型シリコン基板101内のNMOS領域の各素子形成領域を区画形成する。なお、この実施形態では素子分離用絶縁膜103として溝構造を採用しており、前記シリコン基板101の表面に溝を形成し、その溝内にシリコン酸化膜を埋め込んでいる。さらに、前記PMOS領域とNMOS領域の各素子形成領域の前記シリコン基板101の表面に10nm程度のシリコン酸化膜からなるゲート絶縁膜104を形成し、かつその上に300nm程度の厚さで所要幅寸法にパターン形成した低抵抗化された多結晶シリコン、あるいは多結晶シリコンと高融点金属シリサイドからなるポリサイド構造のゲート電極を形成する。ゲート電極形成後ゲート電極をマスクとして、ゲート絶縁膜となる部分以外の絶縁膜を除去する。

【0016】次いで、図2(b)のように、NMOS領域をフォトリソ膜106により選択的に被覆した状態で、前記PMOS領域にP型不純物、すなわちボロンをイオン注入し、ボロン注入層107を形成する。ここでは、ボロンイオンをドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、エネルギー0.5 KeVでイオン注入する。続いて、図2(c)のように、前記フォトリソ膜106を除去し、新たなフォトリソ膜108を形成してPMOS領域を選択的に覆い、前記NMOS領域にN型不純物、ここではリンをイオン注入してリン注入層109を形成する。ここでは、リンイオンをドーズ量が $1 \times 10^{15} / \text{cm}^2$ 、エネルギー0.5 KeVでイオン注入する。

【0017】しかる上で、前記シリコン基板101に対してRTA処理を施し、前記各注入層107、109のボロンイオンとリンイオンを活性化し、図2(d)のように、PMOS領域とNMOS領域にそれぞれP型エクステンション110とN型エクステンション111を形成する。このRTA処理においては、図4に示すようなランプアニール装置200を使用する。前記ランプアニール装置200は、ベース部材201とキャップ202とで構成されて内部が気密に保持される処理チャンバ203内にテーブル204が配設され、前記テーブル204上にRTA処理されるシリコン基板101が載置される。前記処理チャンバ203にはガス供給口205が開口され、図外のガス供給源に接続される。また、前記テ



ーブル204の下側、及び前記テーブル204の上方の前記処理チャンバ203の外部にはそれぞれ加熱ランプ206が配置され、これらの加熱ランプ206を点灯することにより前記シリコン基板101を急速に加熱することが可能とされている。

【0018】ここで、この実施形態の前記RTA処理に際しては、処理チャンバ203内のガス雰囲気として酸素を1000ppm含む窒素ガス雰囲気とした上で、図5にその温度ダイアグラムを示すように、シリコン基板101を予め活性化に寄与しない600℃程度に加熱した状態から100℃/秒の加熱昇温速度で加熱し、かつシリコン基板101の温度が1000℃に達した時点で、すなわち1000℃に保つ保持時間を0秒として直ちに降温速度を50℃/秒で降温し、常温にまで低下する工程を実行する。そして、このようにRTA処理を行って形成した前記P型及びN型のエクステンション110、111についてその濃度プロファイルを測定した。図6はボロンイオンによるP型エクステンション110の濃度プロファイルであり、接合深さが25nm程度で、かつシート抵抗が1000Ω/□であることが確認された。また、図7はリンイオンによるN型エクステンション111の濃度プロファイルであり、接合深さが50nm程度で、かつシート抵抗が250Ω/□であることが確認された。このことから、P型エクステンション110においては、図13に示した濃度プロファイルに比較して接合深さを浅く形成でき、その一方でシート抵抗はほぼ同程度の低いP型拡散層構造が形成されていることが分かる。また、N型エクステンション111においては、図11に示した濃度プロファイルに比較して接合深さの点ではほぼ同じに浅く形成できる一方で、濃度を高めてシート抵抗を低減したN型拡散層構造が形成されていることが分かる。

【0019】次いで、前記したようにP型及びN型の各エクステンション110、111を形成した後、図3

(a)のように、全面にシリコン酸化膜を被着し、かつこのシリコン酸化膜を異方性エッチング法によりエッチングバックすることで前記ゲート電極105の側面にサイドウォール112を形成する。その上で、図3(b)のように、再度NMOS領域をフォトレジスト膜113により選択的に被覆した状態で、前記PMOS領域にP型不純物、すなわちボロンを高濃度でイオン注入し、高濃度ボロン注入層114を形成する。ここでは、ボロンイオンをドーズ量が $1E18/cm^2$ 、エネルギー50KeVでイオン注入する。続いて、図3(c)のように、前記フォトレジスト膜113を除去し、新たなフォトレジスト膜115を形成してPMOS領域を選択的に覆い、前記NMOS領域にN型不純物、ここでは砒素をイオン注入し、高濃度砒素注入層116を形成する。ここでは、砒素イオンをドーズ量が $1E18/cm^2$ 、エネルギー50KeVでイオン注入する。そして、図3(d)

のように、第二のアニール処理を施し、高濃度のP型ソース・ドレイン領域117と高濃度のN型のソース・ドレイン領域118を形成する。なお、この第二のアニール処理については、従来のアニール法をそのまま採用することが可能である。

【0020】以上のように、この実施形態では、P型及びN型の各エクステンション110、111の製造に際しては、ボロンとリンをそれぞれイオン注入した後に、酸素を微量に含む雰囲気中において極短時間の1000℃でのRTA処理を行って各イオンを活性化することにより、TEDの増速拡散は発生するがOEDによる増速拡散が発生する前の状態で高温状態が解消されるため、OEDによる増速拡散を抑制ないし防止することが可能となる。したがって、酸素添加雰囲気での処理によりシリコン基板101の表面に生成される図には現れないカバー酸化膜によってN型不純物であるボロンの濃度低下を防止する一方で浅い接合のN型エクステンション110が形成できる。また、P型不純物におけるOEDによるP型不純物のリンの拡散を抑制し、浅い接合のP型エクステンション110が形成できる。なお、酸素添加雰囲気での処理であるため、前記したように生成されたカバー酸化膜によってボロンの一部はそのカバー酸化膜中に取り込まれることになるが、極短時間のRTA処理であるため生成されるカバー酸化膜の膜厚も薄く、取り込まれるボロンも少量であり、P型エクステンション110におよぼす濃度低下の影響を最小限に抑制することが可能である。

【0021】ここで、前記第1の実施形態におけるRTA処理での各条件を相違した第2の実施形態について説明する。この第2の実施形態では、図8に示すように、RTAの温度ダイアグラムとして、シリコン基板を6000℃程度から100℃/秒の加熱昇温速度で加熱した上で、その温度で約10秒間だけ保持し、しかる上で降温速度を50℃/秒で降温し、常温にまで低下する。また、これと共に、前記加熱昇温時では酸素を1000ppm含む窒素ガスの雰囲気とし、1000℃に達した後の保持時間と降温処理では酸素の添加を停止して100%の窒素ガス雰囲気とする。このようにRTA処理を行って形成したP型及びN型のエクステンションについてその濃度プロファイルを測定した。図6の破線はボロンイオンによるP型エクステンションの濃度プロファイルであり、接合深さが55nm程度で、かつシート抵抗が600Ω/□であることが確認された。また、図7の破線はリンイオンによるN型エクステンションの濃度プロファイルであり、接合深さが90nm程度で、かつシート抵抗が200Ω/□であることが確認された。

【0022】この第2の実施形態の濃度プロファイルを前記第1の濃度プロファイルと比較すると、第2の実施形態ではP型及びN型の各エクステンションにおいて、いずれも第1の実施形態に比較して接合深さは若干深く

なるが、それでも図13及び図11に示した従来の濃度プロファイルに比較して接合は浅くでき、またその一方で第1の実施形態に比較して高濃度化による低抵抗化が実現できることが分かる。したがって、この第2の実施形態においても、従来に比較して浅い接合で低抵抗のエクステンションが形成できる。これは、RTA処理における極短時間の昇温時には酸素添加雰囲気であるためにシリコン基板の表面にカバース酸化膜が形成され、N型不純物の外方拡散が防止でき、その一方で1000℃に達した後は酸素が含まれない雰囲気であるためにOEDの増速拡散が防止でき、TEDによる増速拡散のみに制限してP型不純物の内方拡散が抑制されることによるものである。

【0023】ここで、本発明者が前記したRTA処理における1000℃での保持状態について、保持時間を相違させた複数のシリコン基板の試料を作製し、それぞれについての濃度プロファイルの比較を行った結果を図9に示す。ここでは、不純物としてP型不純物であるボロンを用いており、保持時間を0秒、3秒、10秒の場合について比較している。また、同時に、前記保持時間の間、酸素を全く添加しない窒素100%雰囲気の場合と、酸素を10%だけ添加した雰囲気の場合についても比較している。この結果、保持時間が長くなれば接合深さが深くなることが分かるが、接合でのボロン濃度は0秒から3秒では大きく増加しているが、3秒から10秒ではボロン濃度の増加が顕著ではないことが分かる。これから、保持時間を3秒以下にすれば、接合深さを浅くする一方で、必要な不純物濃度が得られることが確認できる。また、酸素の添加によって接合深さは深くなるが、不純物濃度については顕著な差がみられず、したがって保持時間の間は酸素を添加する必要がないことも分かる。なお、図9はボロンの場合を示しているが、砒素やリン等のN型不純物についても同様である。

【0024】なお、前記RTA処理における、温度と保持時間及び保持の態様はそれぞれに相関を有するものであり、前記した実施形態の条件に限定されるものではない。例えば、図10にそれぞれの温度プログラムを示すように、第1の例としては、同図(a)のように、酸素添加雰囲気中で1050℃まで昇温し、その後3秒以内で保持を行い、その後、酸素を添加しない雰囲気として降温するようにしてもよい。ここでは、図9に示したように、3秒以内であれば酸素添加雰囲気と酸素が添加されない雰囲気とでは特に顕著な差が生じていないことによる。また、同図(b)のように、酸素添加雰囲気中で1000℃まで昇温した後、酸素添加雰囲気のままで1秒以内の保持を行い、その後度窒素100%の雰囲気中で9秒の保持を行うようにしてもよい。さらには、同図(c)のように、酸素添加雰囲気中で1000℃まで昇温した後、1秒以内の保持を行い、その後RTA処理装置の炉内温度を800℃にまで下げた後、従来の活性化処理と

同様に10分程度の保持を行ってもよい。特に、この例では、800℃に降温することで、保持の状態においてOEDが発生することはない。

【0025】なお、以上の説明はいずれも浅い接合でかつ低抵抗が要求されるP型及びN型の各MOSトランジスタのエクステンションの製造方法に本発明を適用した例を示しているが、浅い接合でかつ低抵抗のP型拡散層とN型拡散層を1つの半導体基板に同時に形成することが要求される半導体装置であれば、当該不純物の拡散層の形成工程として本発明の製造方法を適用することが可能である。

#### 【0026】

【発明の効果】以上説明したように本発明は、P型不純物とN型不純物を活性化するアニール処理において、酸素添加雰囲気において、TEDが生じる温度まで急速昇温し、かつその後にOEDの発生を抑制する工程を含んでいるので、TEDへの急速昇温により半導体基板の表面に形成される酸化膜によってN型不純物の外方拡散を抑制し、かつまたOEDを抑制することによって前記イオン注入されたP型不純物の内方拡散を抑制することにより、P型不純物とN型不純物のアニール時における挙動の相違にかかわらず、P型拡散層およびN型拡散層のそれぞれを浅い接合で、かつ低抵抗に形成することが可能となる。これにより、それぞれエクステンションを有するPMOSトランジスタとNMOSトランジスタを有するCMOS構造の半導体装置を製造することが可能となる。

#### 【図面の簡単な説明】

【図1】TED及びOEDの発生要因を説明するための図である。

【図2】本発明によりCMOS構造を製造する実施形態の製造工程断面図のその1である。

【図3】本発明によりCMOS構造を製造する実施形態の製造工程断面図のその2である。

【図4】本発明で用いるRTA装置の一例の概略構成図である。

【図5】本発明の第1の実施形態の温度ダイヤグラムである。

【図6】本発明により形成したボロンイオンによるP型エクステンションの濃度プロファイル図である。

【図7】本発明により形成したリンイオンによるN型エクステンションの濃度プロファイル図である。

【図8】本発明の第2の実施形態の温度ダイヤグラムである。

【図9】保持時間及びガス雰囲気を変えた場合の濃度プロファイルの変化を示す図である。

【図10】本発明の異なる処理工程の各温度ダイヤグラムである。

【図11】従来のN型エクステンションの濃度プロファイル図である。

【図12】N型エクステンションにおける濃度とシート抵抗との関係を示す図である。

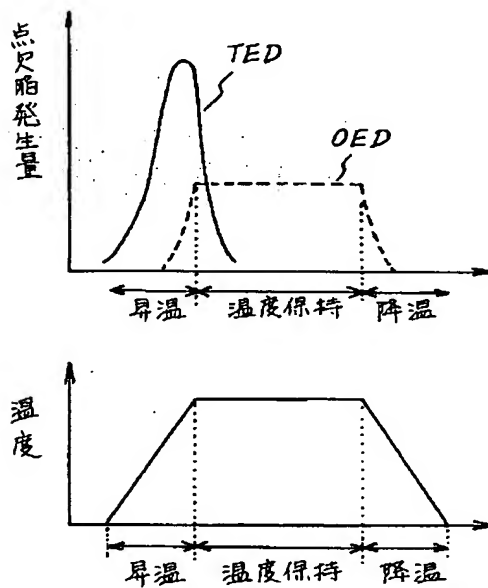
【図13】従来のP型エクステンションの濃度プロファイル図である。

【符号の説明】

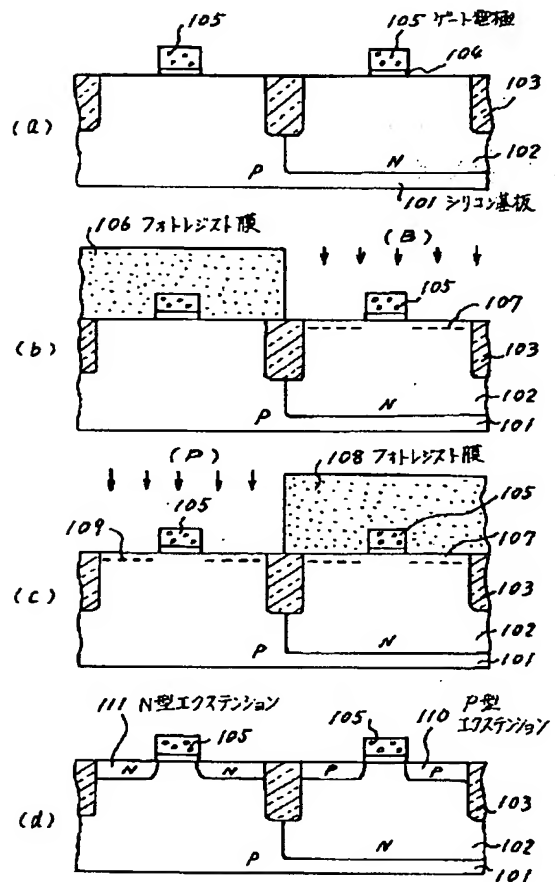
101 P型シリコン基板  
102 Nウェル  
103 素子分離用絶縁膜  
104 ゲート絶縁膜  
105 ゲート電極  
106 フォトリソグ膜  
107 ボロン注入層

108 フォトリソグ膜  
109 リン注入層  
110 P型エクステンション  
111 N型エクステンション  
112 サイドウォール  
113 フォトリソグ膜  
114 ボロン注入層  
115 フォトリソグ膜  
116 砒素注入層  
117 P型高濃度ソース・ドレイン領域  
118 N型高濃度ソース・ドレイン領域

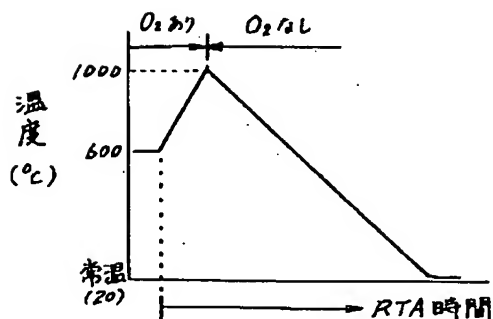
【図1】



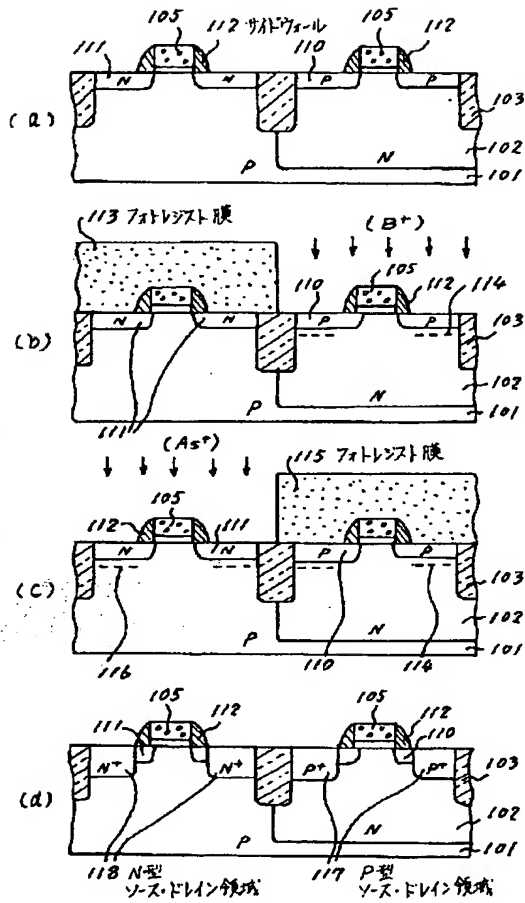
【図2】



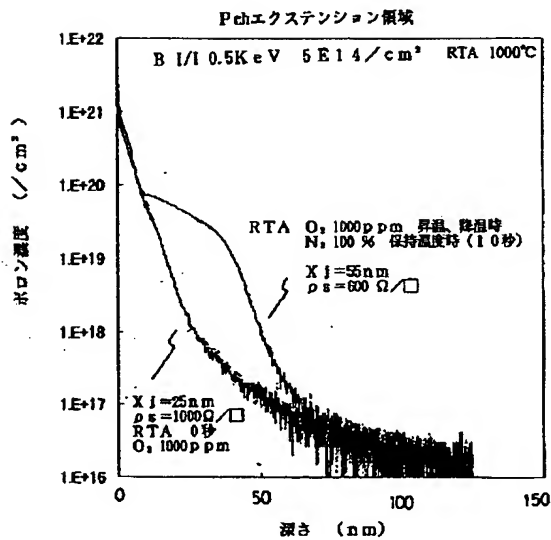
【図5】



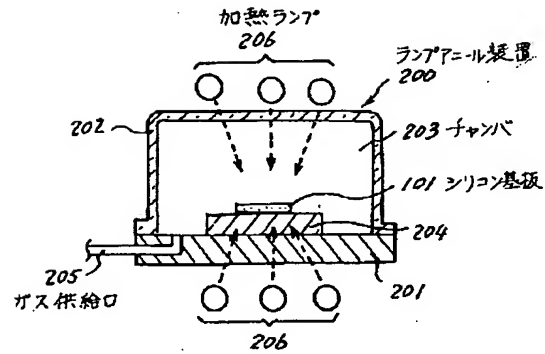
【図3】



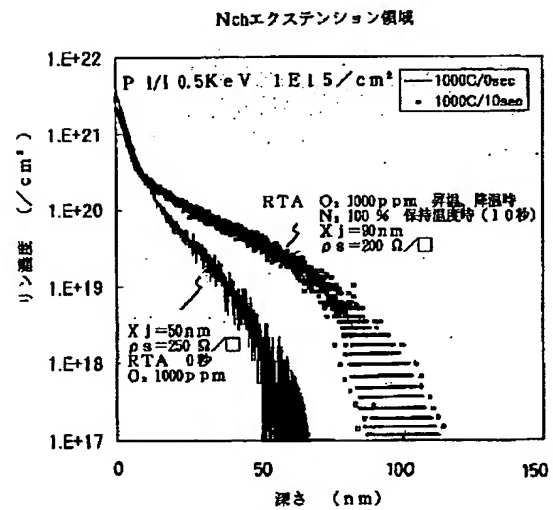
【図6】



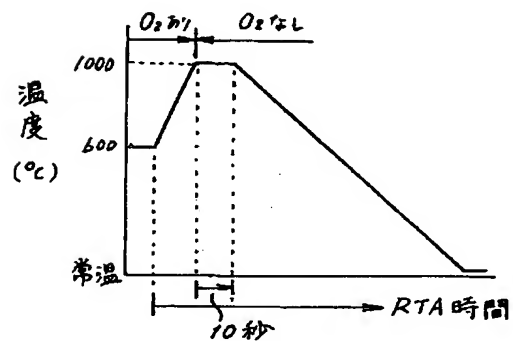
【図4】



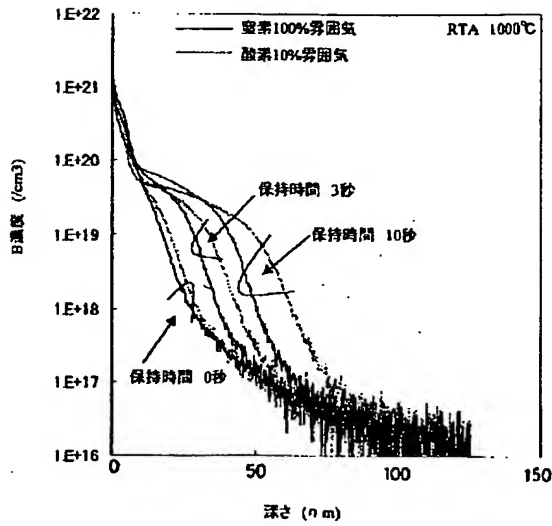
【図7】



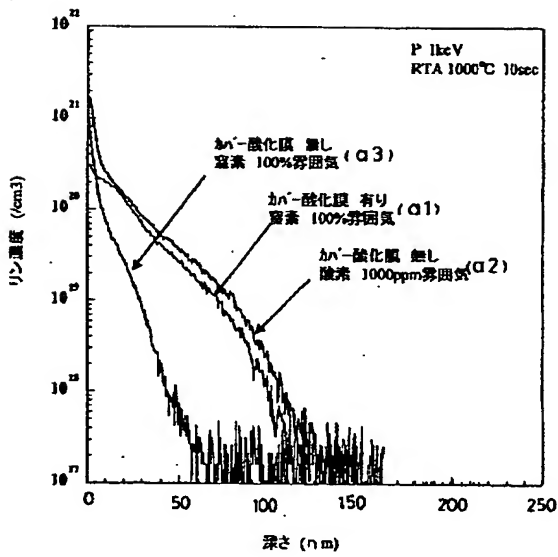
【図8】



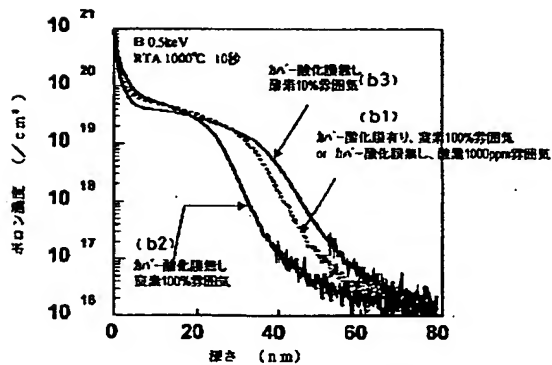
【図9】



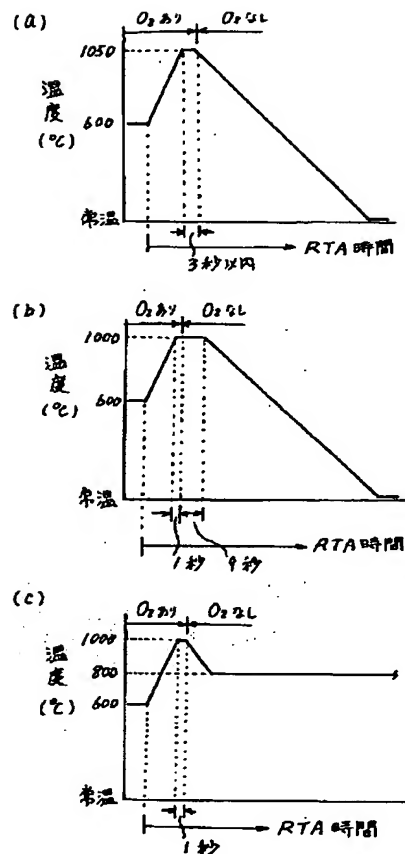
【図11】



【図13】



【図10】



【図12】

